

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   3 月   3 日  
Date of Application:

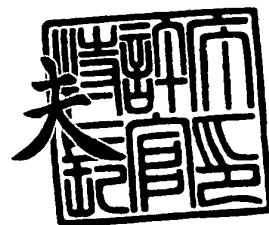
出 願 番 号      特 願 2 0 0 3 - 0 5 5 7 5 9  
Application Number:  
[ST. 10/C]:      [ J P 2 0 0 3 - 0 5 5 7 5 9 ]

出 願 人      株式会社デンソー  
Applicant(s):

2 0 0 4 年   1 月   9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 1 1 0 1 0

【書類名】 特許願

【整理番号】 IP7574

【提出日】 平成15年 3月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 青木 孝明

【特許出願人】

    【識別番号】 000004260

    【氏名又は名称】 株式会社デンソー

【代理人】

    【識別番号】 100100022

    【弁理士】

    【氏名又は名称】 伊藤 洋二

    【電話番号】 052-565-9911

【選任した代理人】

    【識別番号】 100108198

    【弁理士】

    【氏名又は名称】 三浦 高広

    【電話番号】 052-565-9911

【選任した代理人】

    【識別番号】 100111578

    【弁理士】

    【氏名又は名称】 水野 史博

    【電話番号】 052-565-9911

【手数料の表示】

    【予納台帳番号】 038287

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板（3）の一表面にトレンチ（4）を形成する工程と、

前記トレンチ（4）の内壁に絶縁膜（5）を形成する工程と、

前記絶縁膜（5）を介して、前記トレンチ（4）内に導電性膜（6）を形成する工程とを有する半導体装置の製造方法において、

前記導電性膜（6）を形成する工程の後に、前記絶縁膜（5）に対して前記絶縁膜（5）中に存在する歪みを除去できる温度にて熱処理を行う工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板（3）の一表面にトレンチ（4）を形成する工程と、

前記トレンチ（4）の内壁に絶縁膜（5）を形成する工程と、

前記絶縁膜（5）を介して、前記トレンチ（4）内にゲート電極（6）を形成する工程と、

前記ゲート電極（6）の形成後に、前記ゲート電極（6）をマスクとしたイオン注入及び不純物を拡散させるための熱拡散処理を行うことで、前記半導体基板（3）の表層に前記トレンチ（4）に隣接するソース領域（8）を形成する工程とを有する半導体装置の製造方法であって、

前記ゲート電極（6）を形成する工程と、前記ソース領域（8）を形成する工程との間に、前記絶縁膜（5）中に存在する歪みを除去できる温度にて熱処理を行う工程を有することを特徴とする半導体装置の製造方法。

【請求項 3】 前記熱処理を行う工程では、前記熱拡散処理時の温度よりも高い温度にて、前記絶縁膜（5）に対して熱処理を行うことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記ゲート電極（6）を形成する工程では、前記ゲート電極（6）が前記トレンチ（4）の開口端に位置する絶縁膜（5）を覆うひさし部（6a）を有するように前記ゲート電極（6）の断面形状を T 字形状とし、かつ、

前記ひさし部 (6 a) の先端 (6 b) から前記トレンチ (4) の開口端 (4 a) までの長さ (6 c) が、前記ソース領域 (8) を形成する工程にて、前記トレンチ (4) 近傍での前記ソース領域 (8) と前記半導体基板 (3) との接合面 (8 a) が前記半導体基板 (3) の表面に対して略平行である前記ソース領域 (8) を形成できる長さとなるように、前記ゲート電極 (6) を形成することを特徴とする請求項 2 または 3 に記載の半導体装置の製造方法。

【請求項 5】 前記ゲート電極 (6) を形成する工程では、前記ひさし部 (6 a) の先端 (6 b) から前記トレンチ (4) の開口端 (4 a) までの長さ (6 c) が  $0.05 \sim 0.1 \mu\text{m}$  となるように、前記ゲート電極 (6) を形成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記絶縁膜 (5) に対する熱処理工程は、不活性ガス雰囲気中で  $1150^\circ\text{C}$  以上の温度にて行うことを特徴とする請求項 1 ないし 5 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 7】 半導体基板 (3) の一表面に形成されたトレンチ (4) の内壁に形成された絶縁膜 (5) と、

前記絶縁膜 (5) を介して、前記トレンチ (4) 内に埋め込まれたゲート電極 (6) と、

前記ゲート電極 (6) を形成した後に前記ゲート電極 (6) をマスクとしたイオン注入と不純物を拡散させるための熱拡散処理により、前記トレンチ (4) に隣接して、前記半導体基板 (3) の表層に形成されたソース領域 (8) とを備えるトレンチ (4) ゲート構造を有する半導体装置において、

前記絶縁膜 (5) は前記ゲート電極 (6) の形成後に、前記絶縁膜 (5) 中の歪みを除去するための熱処理が行われた構造であり、

前記ゲート電極 (6) は前記トレンチ (4) の開口端 (4 a) に位置する前記絶縁膜 (5) を覆っているひさし部 (6 a) を有するように断面形状が T 字形状であり、前記ひさし部 (6 a) の先端 (6 b) から前記トレンチ (4) の開口端 (4 a) までの長さ (6 c) が、前記ソース領域 (8) を形成するとき、前記トレンチ (4) 近傍の前記ソース領域 (8) と前記半導体基板 (3) との接合面 (8 a) が前記半導体基板 (3) の表面に対して略平行となるように前記ソース領

域(8)を形成できる長さとなっていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トレンチゲート構造を有する半導体装置に関するものである。

【0002】

【従来の技術】

従来、半導体基板に形成されたトレンチの内壁に絶縁膜が形成され、この絶縁膜を介して、トレンチ内に導電性膜が埋め込まれたトレンチゲート構造の半導体装置として、DMOS、IGBT等のトレンチゲート型パワー素子がある。(例えば、特許文献1、2、3参照)。

【0003】

このようなトレンチゲート型パワー素子は、トレンチを用いた微細なゲート構造によりセルを高密度化でき、その結果、オン抵抗を低減させ、コストを低減させることができる。

【0004】

【特許文献1】

特開2001-196587号公報

【0005】

【特許文献2】

特開2001-127072号公報

【0006】

【特許文献3】

特開2001-127284号公報

【0007】

【発明が解決しようとする課題】

しかし、このようなトレンチゲート型パワー素子では、ゲート電極が基板表面と平行に形成されたプレーナーゲート型パワー素子と比較して、ゲート絶縁膜のTDD B (Time Dependent dielectric breakdown) 寿命、つまり信頼性が劣化

しやすいという問題がある。この理由としては、以下のことが考えられる。

【0008】

①トレンチの内壁にトレンチを形成するためのエッチングによるダメージ層が存在すること、②製造プロセス中にて、半導体基板のトレンチ上部及び下部近傍に体積膨張による大きな応力が発生すること、③半導体基板のトレンチ上部及び下部近傍に結晶欠陥が発生しやすいこと等である。これらのようなトレンチの内壁の状態に起因して、トレンチの内壁表面上に形成されているゲート絶縁膜の膜質が劣化するため、ゲート絶縁膜の信頼性が低下すると考えられる。

【0009】

従来では、トレンチの内壁状態を改善する方法として、トレンチの形成後、例えば、トレンチの内壁表面に酸化膜を形成し、その酸化膜を除去する、いわゆる犠牲酸化等が行われていた。しかしながら、本発明者が調査したところ、このような方法では上述した理由のうち、トレンチ内壁に存在するダメージ層を除去できるが、トレンチ近傍の応力、及びトレンチ近傍の結晶欠陥の低減が十分でないため、ゲート絶縁膜の信頼性の改善が十分でないことがわかった。

【0010】

なお、このようなことは、基板表層に形成されたトレンチ内に層間絶縁膜を介して上部電極が形成されたトレンチキャパシタ、その他トレンチ内に絶縁膜を介して導電性膜が形成されたトレンチゲート構造の半導体装置においても言える。

【0011】

本発明は上記点に鑑みて、トレンチの内壁に形成された絶縁膜の信頼性が従来よりも高い半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記した課題を解決するために、本発明者はトレンチゲート構造を有する半導体装置の製造工程において、トレンチの内壁に形成された絶縁膜の信頼性低下の原因と考えられるトレンチ近傍の応力と、トレンチ近傍の結晶欠陥とがどの工程にて発生するかを調査した。

【0013】

この結果、トレンチの内部に絶縁膜を介して導電性膜を形成する工程の後にトレンチ近傍にて応力及び結晶欠陥が発生することがわかった。この結果から、トレンチの内壁に形成された絶縁膜の信頼性が低下するのは、トレンチ内に導電性膜を形成した後にトレンチ近傍に発生する応力及び結晶欠陥により、絶縁膜に歪みが生じることが原因であると推測される。このことから、本発明者は以下の発明を創出した。

#### 【0014】

請求項1に記載の発明では、導電性膜(6)の形成後に、絶縁膜(5)中に存在する歪みを除去できる温度にて熱処理を行う工程を有することを特徴としている。

#### 【0015】

このようにトレンチ内に導電性膜を形成した後に、熱処理を行うことにより、絶縁膜中の歪みを除去することから、絶縁膜のTDDB寿命を延ばすことができる。すなわち、絶縁膜の信頼性を増加させることができる。なお、半導体基板としてシリコン基板を用い、シリコン酸化膜を有する絶縁膜を備える半導体装置を製造する場合は、熱処理の温度は例えば1150℃以上とする。

#### 【0016】

本発明者が製造工程とトレンチ近傍に発生する応力・結晶欠陥の発生との関係を調べた結果をより詳細にみると、トレンチの内部に導電性膜を形成した後に、この導電性膜の表面を酸化する工程を有する場合、この工程の後にトレンチの近傍に応力や結晶欠陥が発生していた。このため、この応力や結晶欠陥により絶縁膜に歪みが生じ、信頼性が低下すると推察される。

#### 【0017】

このことから、絶縁膜に対する熱処理は、導電性膜の表面を酸化する工程の後に行うことが好ましい。なお、このことは他の請求項に記載の発明においても同様である。

#### 【0018】

具体的に、この熱処理は、請求項6に示すように、半導体基板としてシリコン基板を用い、シリコン酸化膜を有する絶縁膜を備える半導体装置を製造する場合

では、不活性ガス雰囲気中で1150℃以上の温度にて行うことが好ましい。

【0019】

また、請求項2に記載の発明では、トレンチゲート電極及びソース領域を有する半導体装置の製造方法にて、ゲート電極(6)を形成した後、絶縁膜(5)に対して絶縁膜(5)中に存在する歪みを除去できる温度にて熱処理を行い、その後、ソース領域(8)を形成することを特徴としている。

【0020】

この絶縁膜に対する熱処理は、熱拡散処理時の温度が通常1000～1100℃よりも高温である場合は、その温度と同程度の温度にて行うことができ、熱拡散処理時の温度が通常と同様の場合は、請求項3に示すように、熱拡散処理時の温度よりも高い温度にて行うことができる。具体的には、請求項6に示すように、半導体基板としてシリコン基板を用い、シリコン酸化膜を有する絶縁膜を備える半導体装置を製造する場合は、不活性ガス雰囲気中で1150℃以上の温度にて行うことができる。

【0021】

トレンチゲート電極及びソース領域を有する半導体装置の製造方法においては、ソース領域の形成後に、絶縁膜に対する熱処理を行うと、ソース領域中の不純物が再度拡散し、ソース領域の不純物濃度及び基板表面からの深さが設定値から変動してしまう。

【0022】

したがって、請求項2の発明のように、ソース領域を形成する前に絶縁膜に対する熱処理を行うことで、この熱処理によりソース領域の不純物濃度等が設定値から変動するのを防ぐことができる。

【0023】

請求項4に記載の発明では、ゲート電極(6)がトレンチ(4)の開口端に位置する絶縁膜(5)を覆うひさし部(6a)を有するようにゲート電極(6)の断面形状をT字形状とし、かつ、ひさし部(6a)の先端(6b)からトレンチ(4)の開口端(4a)までの長さ(6c)が、ソース領域(8)を形成する工程にて、トレンチ(4)近傍でのソース領域(8)と半導体基板(3)との接合

面(8a)が半導体基板(3)の表面に対して略平行であるソース領域(8)を形成できる長さとなるように、ゲート電極を形成することを特徴としている。

【0024】

ゲート電極を形成する工程の後、絶縁膜に対する熱処理を行い、ソース領域を形成する場合では、ゲート電極を形成する工程と絶縁膜に対する熱処理工程との間にて、ソース領域をイオン注入により形成するためにトレンチを形成する際に用いたマスク材をエッチングにより除去し、その後、イオン注入によりソース領域を形成する。

【0025】

この場合、ゲート電極がトレンチの開口端に位置する絶縁膜を覆うように、ゲート電極の断面形状がT字形状となるように形成していることから、マスク材を除去する工程にて、トレンチの開口端に位置する絶縁膜の上部がエッチングされるのを防ぐことができる。

【0026】

このようにして、トレンチの内壁に形成された絶縁膜に対して熱処理を行うことで絶縁膜の歪みを除去するだけでなく、マスク材の除去の際にこの絶縁膜をゲート電極により保護し、エッチングにより絶縁膜にダメージが与えられるのを防ぐことで絶縁膜の信頼性を向上させることができる。

【0027】

さらに、本発明では、ゲート電極の形状において、絶縁膜を覆っているひさし部の先端からトレンチの開口端までの長さを、ソース領域をイオン注入及び熱拡散にて形成したとき、トレンチ近傍でのソース領域と半導体基板との接合面が半導体基板の表面に対して略平行となるようにソース領域を形成できる長さとしている。

【0028】

このため、ソース領域を形成する工程にて、トレンチ近傍でのソース領域と半導体基板との接合面が半導体基板の表面に対して略平行となるようにソース領域を形成することができる。これにより、トレンチ近傍でのソース領域と半導体基板との接合面が半導体基板の表面に対して略平行とならず、しきい値電圧が所望

の設定値よりも高くなるのを抑制することができる。

#### 【0029】

具体的には、請求項5に示すように、ゲート電極を形成する工程では、ひさし部の先端からトレンチの開口端までの長さが $0.05 \sim 0.1 \mu\text{m}$ となるように、ゲート電極を形成することができる。なお、請求項4の発明により請求項7に示す半導体装置を製造することができる。

#### 【0030】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

#### 【0031】

##### 【発明の実施の形態】

##### (第1実施形態)

図1に本発明を適用した一実施形態におけるDMOSを備える半導体装置の平面図を示す。また、図1中のA-A'線方向断面、B-B'線方向断面、C-C'線方向断面、D-D'線方向断面、及びE-E'線方向断面を、それぞれ、図2、図3、図4、図5、及び図6に示す。

#### 【0032】

この半導体装置は、図2に示すように、シリコンにより構成されたN<sup>+</sup>型基板1と、このN<sup>+</sup>型基板1上に形成されたN<sup>-</sup>型ドリフト層2から構成された半導体基板3を備えている。

#### 【0033】

また、この半導体装置は、図1に示すように、トランジスタとして機能するセルが形成されているセル領域と、ゲート引き出し配線が形成されているゲート引き出し配線領域とを有している。セル領域では、この半導体基板3の表層に、メッシュ構造のトレンチゲートが形成されている。このメッシュ構造は、1つのメッシュが例えば略六角形状であり、同一形状の複数のメッシュにより構成されている。

#### 【0034】

セル領域では、図2に示すように、半導体基板3の一表面に形成されたトレン

チ 4 の深さは例えば  $1 \sim 3 \mu\text{m}$  であり、このトレンチ 4 の内壁上には、ゲート絶縁膜 5 が形成されている。

#### 【0035】

ゲート絶縁膜 5 は、トレンチ 4 の側壁部においては、ボトム酸化膜と呼ばれるシリコン酸化膜 5 a、シリコン窒化膜 5 b、及びトップ酸化膜と呼ばれるシリコン酸化膜 5 c から構成されるいわゆる ONO (Oxide Nitride Oxide) 膜 5 d からなり、トレンチ 4 の上部及び底部においては ONO 膜 5 d よりも厚いシリコン酸化膜 5 e、5 f からなっている。

#### 【0036】

ゲート絶縁膜 5 の上に、ポリシリコンから構成されたゲート電極 6 が形成されている。ゲート電極 6 は断面がいわゆる T 字形状となっており、半導体基板 3 の表面上方からゲート電極 6 を見たとき、トレンチ 4 の上部に形成されたゲート絶縁膜 5 (シリコン酸化膜 5 f) を覆っている。なお、以下では、半導体基板 3 の表面よりも上方に突出している部分をひさし部 6 a と呼ぶ。

#### 【0037】

そして、半導体基板 3 のうち、隣接する 2 つのトレンチ 4 の間の領域には、チャネルを形成する P 型領域 7、ソースとなる N<sup>+</sup>型領域 8、ボディ P 型領域 9 が形成されている。また、ゲート電極 6 の上及び半導体基板 3 の上には、例えば BPSG から構成された層間絶縁膜 10 が形成されている。

#### 【0038】

層間絶縁膜 10 の上には、例えば A1 から構成されたソース電極用の金属膜 11 が形成されている。また、層間絶縁膜 10 には、N<sup>+</sup>型領域 8、コンタクト用の P<sup>+</sup>型領域 12 の上側の位置にコンタクトホール 13 が形成されている。金属電極 11 は、このコンタクトホール 13 を介して、N<sup>+</sup>型領域 8 及び P<sup>+</sup>型領域 12 と電氣的に接続されている。また、N<sup>+</sup>型基板 1 の裏面側には例えば A1 から構成されたドレイン電極用の金属膜 14 が形成されている。

#### 【0039】

一方、ゲート引き出し配線領域においては、図 1 に示すように、トレンチ 4 がセル領域から延びるように形成されている。図 3 に示すように、ゲート引き出し

配線領域においても、トレンチ 4 は半導体基板 3 の表面から深さが例えば 1 ～ 3  $\mu\text{m}$  にて、半導体基板 3 の表層に形成されている。

#### 【0040】

そして、ゲート引き出し配線領域のトレンチ 4 の内壁上には、セル領域と同様に、ゲート絶縁膜 5 が形成されており、このゲート酸化膜 5 を介してトレンチ 4 の内部にポリシリコンにより構成されたゲート電極 6 が形成されている。

#### 【0041】

さらに、半導体基板 3 の表面上のうち、ゲート電極 6 が配置された領域を除く領域にはトレンチ 4 を形成するときのマスク材として用いられた酸化膜 22 が除去されずに残されている。なお、この酸化膜 22 の厚さは 0.8 ～ 1.0  $\mu\text{m}$  程度である。そして、酸化膜 22 の上にはゲート電極 6 に接続するようにポリシリコンにより構成されたゲート引き出し配線 21 が形成されている。

#### 【0042】

また、ゲート引き出し配線 21の上にはセル領域から延びるように層間絶縁膜 10 が形成されており、層間絶縁膜 10 の上には例えば A1 から構成されたゲート電極用の金属膜 23 が形成されている。N<sup>+</sup>型基板 1 の裏面側にはドレイン電極用の金属膜 14 が形成されている。

#### 【0043】

また、ゲート引き出し配線領域には、図 3、図 4 に示すように、P 型領域 7 の表層にて、トレンチ 4 と隣接して N<sup>+</sup>型層 8 が形成されている。

#### 【0044】

また、図 4、図 5 に示すように、N<sup>-</sup>型ドリフト層 2 上に、セル領域の P 型領域 7 と連続するように形成された P 型ウェル層 24 を有している。P 型ウェル層 24 の上にはフィールド絶縁膜として LOCOS 法により形成された酸化膜 25 が形成されており、その上に酸化膜 22 が形成されている。そして、ゲート引き出し配線 21 は、酸化膜 22、25 を介して、P 型ウェル層 24 上にも形成されている。また、ゲート電極用の金属膜 23 は層間絶縁膜 10 に形成されたコンタクトホール 26 を介して、ゲート引き出し配線 21 と電氣的に接続されている。

#### 【0045】

また、セル領域とゲート引き出し配線領域との間の領域では、図5、図6に示すように、P<sup>+</sup>型領域12が形成されている。なお、この領域では、セルとしては機能しない領域であるため、本実施形態では、セル領域と異なり、P型領域7の表層にはボディP型領域9及びN<sup>+</sup>型領域8を形成していないが、これらを形成することもできる。このP<sup>+</sup>型領域12は、セル領域と同様に、層間絶縁膜10に形成されたコンタクトホール27を介して、金属膜11と電氣的に接続されている。

#### 【0046】

このように構成されている半導体装置は、ゲート電極6に電圧を印加し、オン状態にすると、P型領域7のトレンチ4近傍の領域がチャネル領域となる。これにより、このチャネル領域を介して、ソース・ドレイン間に電流を流すことができる。

#### 【0047】

次にこのように構成される半導体装置の製造方法を説明する。製造工程を図7(a)～(c)、図8(a)～(c)、図9(a)～(c)、図10(a)～(c)、図11(a)～(c)に示す。なお、これらの図は図2の断面図を左右半分に分割した片方に相当する。

#### 【0048】

〔図7(a)に示す工程〕

表面が(100)結晶面であるN<sup>+</sup>型基板1の上にエピタキシャル成長法によりN<sup>-</sup>型ドリフト層2が形成された半導体基板3を用意する。そして、半導体基板3の表面上に、後に行うトレンチ形成の際に用いるマスク材としての酸化膜22をCVD法により膜厚が約1 $\mu$ mとなるように形成する。

#### 【0049】

〔図7(b)、(c)に示す工程〕

図7(b)に示すように、フォトリソグラフィ及びドライエッチングによって、酸化膜22のうち、半導体基板3のトレンチ形成予定領域に対向する領域を選択的に除去する。次に、図7(c)に示すように、パターニングされた酸化膜22をマスクとしたドライエッチングを行い、半導体基板3の表層にトレンチ4を

形成する。

#### 【0050】

〔図8（a）に示す工程〕

この工程では、トレンチ4を形成する際のエッチングによりトレンチ4の内壁が受けたダメージを除去する。例えば、トレンチ4の内壁に対するケミカルドライエッチング、1000℃程度でのアニール処理、及び850～1050℃での犠牲酸化等を行う。このとき、同時にトレンチ4の上部及び下部のコーナーが丸められる。また、酸化膜22のトレンチを形成するために設けられた開口部の端面22aが後退し、開口部が拡大される。

#### 【0051】

〔図8（b）、（c）、図9（a）、（b）に示す工程〕

これらの工程にてゲート絶縁膜5を形成する。まず、図8（b）に示すように、H<sub>2</sub>OまたはO<sub>2</sub>雰囲気中にて例えば850程度での熱酸化により、トレンチ4の内壁上にボトム酸化膜としてのシリコン酸化膜5aを形成する。

#### 【0052】

次に、図8（c）に示すように、LPCVD法により、シリコン酸化膜5及び酸化膜22の表面上にシリコン窒化膜5bを形成する。

#### 【0053】

そして、図9（a）に示すように、CHF<sub>3</sub>及びO<sub>2</sub>ガス系を用いた異方性ドライエッチングにより、シリコン窒化膜5bのうち、トレンチ4の側壁部のシリコン窒化膜を残し、トレンチ4の底部のシリコン窒化膜を除去することで、シリコン酸化膜5aを露出させる。このとき、同時にトレンチ4の上部及び酸化膜22の上に形成されたシリコン窒化膜も同時に除去され、その部分においてシリコン酸化膜5aが露出する。

#### 【0054】

次に、図9（b）に示すように、H<sub>2</sub>OもしくはO<sub>2</sub>雰囲気中にて例えば950℃程度での熱酸化を行うことで、シリコン窒化膜5bの上にトップ酸化膜としてのシリコン酸化膜5cを形成する。このようにして、トレンチ4の側壁部では、ボトム酸化膜5a、シリコン窒化膜5b、トップ酸化膜5cから構成されたON

O膜5dが形成される。また、トレンチ4の上部、底部では、熱酸化によって膜厚が大きくなったシリコン酸化膜5e、5fが形成される。これにより、トレンチ4の上部と底部におけるコーナー部での電界集中を緩和することができ、その部分でのゲート絶縁膜5の電界集中による耐圧の低下を防ぐことができる。

#### 【0055】

〔図9(c)に示す工程〕

トレンチ4の内部を含む半導体基板3の表面上にドーパドポリシリコン31をLPCVD法により形成し、トレンチ4の内部を充填する。このとき、酸化膜22上のドーパドポリシリコン31の膜厚は例えば1 $\mu$ m程度とする。なお、ノンドーパドポリシリコンを堆積し、その後に不純物をドーパすることもできる。

#### 【0056】

〔図10(a)に示す工程〕

ゲート引き出し配線21を形成するために、ドーパドポリシリコン31を所望の厚さにエッチバックする。具体的には、酸化膜22上のドーパドポリシリコン31の膜厚を例えば0.3～0.5 $\mu$ mとする。

#### 【0057】

〔図10(b)に示す工程〕

フォトリソグラフィー及びドライエッチングにより、セル領域ではドーパドポリシリコン31の上部表面の位置が酸化膜22の表面と同等もしくはそれよりも低くかつ、半導体基板3の表面よりも高くなるようにし、また、ゲート引き出し配線領域ではドーパドポリシリコン31を残すようにドーパドポリシリコン31をエッチングする。具体的には、セル領域において、ドーパドポリシリコン31の上部表面の位置が半導体基板3の表面から例えば0.6～0.7 $\mu$ m上方に位置するようにエッチング時間を調整する。

#### 【0058】

これにより、セル領域にてゲート電極6を形成し、ゲート引き出し配線領域にてゲート引き出し配線21を形成する。酸化膜22の開口端22aが後退しているため、この時点で、ゲート電極6は断面がT字形状となり、ひさし部6aの厚さは例えば0.3～0.5 $\mu$ mとなる。

## 【0059】

なお、本実施形態では、ゲート電極6のひさし部6aが、トレンチ4の開口端4aよりもトレンチ4の内部側に位置するシリコン酸化膜5fの上部を覆っており、かつ、ひさし部6aの先端6bからトレンチ4の開口端4aまでの長さ6cが、後に説明するソース領域を形成する工程にて、トレンチ4の近傍でのソース領域となるN<sup>+</sup>型領域8とP型領域7との接合面8aが半導体基板3の表面に対して略平行であるN<sup>+</sup>型領域8を形成できる長さとなるように、あらかじめ、酸化膜22の開口端22aの位置を設定している。

## 【0060】

具体的には、後に説明するトレンチマスクを除去する際、半導体基板3の表面に対して平行な方向でのひさし部6aの先端6bからトレンチ4の開口端4aまでの長さ6cが、0.05～0.1μmとなっているように、あらかじめ、酸化膜22の開口端22aの位置を設定しておく。

## 【0061】

〔図10(c)、図11(a)に示す工程〕

図10(c)に示すように、セル領域において、ドライエッチングによりトレンチ4を形成するときに用いたマスク材としての酸化膜22を除去する。続いて、図11(a)に示すように、850～1050℃にて熱酸化を行うことで、ゲート電極6の表面及び露出した半導体基板3の表面に酸化膜32を形成する。これは、後に説明するP型領域7、N<sup>+</sup>型領域8等をイオン注入にて形成する際に、この酸化膜32をチャネリングや汚染を防止するためのいわゆるスルー酸化膜として用いるためである。

## 【0062】

次に、ゲート絶縁膜5の信頼性を向上させるために、例えば1170℃、30分の窒素雰囲気中での高温アニール処理を行う。なお、窒素雰囲気中に限らず、不活性ガス雰囲気であれば他の雰囲気中でも高温アニール処理を行うことができる。

## 【0063】

〔図11(b)に示す工程〕

フォトリソグラフィによりマスク材を形成し、このマスク材とゲート電極 6 とをマスクとしたイオン注入及び不純物を拡散させるための熱拡散処理を行うことで、チャネル領域となる P 型領域 7 を形成する。なお、P 型領域 7 の基板表面からの深さを例えば  $1.5 \sim 2 \mu\text{m}$  とするため、熱拡散処理は例えば  $1050^\circ\text{C} \sim 1100^\circ\text{C}$  にて行う。

#### 【0064】

〔図 11 (c) に示す工程〕

同様に、フォトリソグラフィによりマスク材を形成し、このマスク材とゲート電極 6 とをマスクとしたイオン注入及び  $1000 \sim 1100^\circ\text{C}$  の熱拡散処理を行うことで、ソース領域となる N+ 型領域 8 を形成し、また、図示しないが、ボディ P 型領域 9、P+ 型領域 12 を形成する。

#### 【0065】

その後、図示しないが、ゲート電極 6 及び半導体基板 3 の表面上に層間絶縁膜 10 を形成し、層間絶縁膜 10 の平坦化のために例えば  $950^\circ\text{C}$  にて 1 s t リフロー処理を行う。層間絶縁膜 10 にコンタクトホール 13、26、27 を形成し、コンタクトホールのコーナー部を丸めるために例えば  $900^\circ\text{C}$  にて 2 n d リフロー処理を行う。そして、層間絶縁膜 10 の表面上からコンタクトホール 13、27 の内部にかけてソース電極となる金属膜 11 を形成し、層間絶縁膜 10 の表面上からコンタクトホール 26 の内部にかけてゲート電極となる金属膜 23 を形成する。

#### 【0066】

さらに、裏面研削により半導体基板 3 を薄くし、半導体基板 3 の裏面側にドレイン電極となる金属膜 14 を形成する。このようにして、図 1 ～ 図 6 に記載する半導体装置を製造することができる。

#### 【0067】

以下にて本実施形態の特徴を説明する。

#### 【0068】

本実施形態では、ゲート電極 6 を形成した後の図 11 (a) に示す工程にて、ゲート電極 6 の表面及び露出した半導体基板 3 の表面に酸化膜 32 を形成した後

、N<sup>+</sup>型領域 8 を形成するための熱拡散処理温度よりも高い温度にて、高温アニール処理を行っている。これにより、ゲート絶縁膜の信頼性を従来よりも向上させることができる。

#### 【0069】

ここで、図 12 に本実施形態の製造方法により半導体装置を製造した場合と、高温アニールを行わず、その他は同一の方法により半導体装置を製造した場合のゲート絶縁膜の信頼性試験の結果を示す。なお、試験条件は  $V_g = 50\text{ V}$ 、 $150^\circ\text{C}$  である。また、この図 12 には参考として他の温度にて高温アニールを行った場合の結果も示している。

#### 【0070】

図 12 に示すように、 $1170^\circ\text{C}$  にて高温アニールを行った場合、高温アニールを行わなかった場合と比較して、図中の矢印のように偶発故障モードを低減することができ、すなわち、ゲート絶縁膜 5 の信頼性を向上させることができる。

#### 【0071】

次に、この高温アニールの温度、時間及び実施時期について説明する。図 12 に示すように、この高温アニールの温度を他の温度、例えば、 $1050^\circ\text{C}$ 、 $1100^\circ\text{C}$  にて行った場合では、高温アニールをしない場合と比較しても大きな変化が見られなかった。このことから、高温アニールの温度が  $1100^\circ\text{C}$  以下の場合では信頼性を向上させるという効果をもたらさず、高温アニールは  $1100^\circ\text{C}$  よりも高温で行う必要があると言える。

#### 【0072】

また、図 13 に①高温アニールを本実施形態のように図 11 (a) に示す工程後、すなわち、ゲート電極 6 の表面に酸化膜 32 を形成した後に行った場合、②図 9 (b) に示す工程後であって、図 11 (a) に示す工程の前、すなわち、ゲート絶縁膜 5 を形成した後であって、ゲート電極 6 の表面に酸化膜 32 を形成する前に行った場合、及び③高温アニールを行わなかった場合のゲート絶縁膜の信頼性試験の結果を示す。なお、試験条件は図 12 と同じであるが、高温アニール時間は図 12 のときよりも  $10\text{ min}$  と短い場合の結果である。

#### 【0073】

図 13 に示すように、高温アニールを①1170℃-10min でゲート電極 6 の表面に酸化膜 32 を形成した後に行った場合でも、③高温アニールを行わなかった場合と比較して、図 13 中の矢印のように偶発故障モードを低減することができる。このことから、処理時間は 30 分よりも短くしても良いと言える。

#### 【0074】

しかし、②高温アニールをゲート絶縁膜 5 を形成した後であって、ゲート電極 6 の表面に酸化膜 32 を形成する前に行った場合では、偶発故障モードを低減させることができなかった。このことから、高温アニールはゲート電極 6 の表面に酸化膜 32 を形成した後に行うことが良いと言える。

#### 【0075】

参考として、図 14 に本実施形態における半導体装置の製造工程とトレンチ近傍に発生する応力及び結晶欠陥密度との関係を示す。図 14 (a) は各工程とその工程での熱処理温度を示しており、図 14 (b) は半導体基板 3 のトレンチ 4 の上部近傍に発生した応力の大きさを示しており、図 14 (c) は同様に半導体基板 3 のトレンチ 4 の近傍に発生した結晶欠陥の密度を示している。

#### 【0076】

図 14 (b) に示すように、高温アニールを行わなかった場合、ソース電極、ゲート電極用の金属膜 11、23 の形成後に測定した応力値は、ゲート絶縁膜 5 (トップ酸化膜 5c) の形成後であってゲート電極 6 の形成前に測定した結果と比較して増加していた。これに対して、高温アニールを行った場合、金属膜 11、23 の形成後の応力値は、ゲート絶縁膜 5 (トップ酸化膜 5c) の形成後であってゲート電極 6 の形成前に測定した結果と同程度であった。

#### 【0077】

また、図 14 (c) に示すように、高温アニールを行わなかった場合、半導体基板 3 のトレンチ 4 の近傍での結晶欠陥密度は、図 11 (a) のゲート電極 6 の表面に酸化膜 32 を形成する工程の後に増加し、その後はほぼ一定の値であった。これに対して、高温アニールを行った場合、金属膜 11、23 の形成後において、結晶欠陥が確認されなかった。

#### 【0078】

次に、図15(a)に高温アニールの温度と半導体基板3のトレンチ4の上部近傍に発生する応力との関係を示し、図15(b)に高温アニールの温度と半導体基板3のトレンチ4の近傍に発生する結晶欠陥の密度との関係を示す。なお、これらの結果は本実施形態の製造工程にて様々な温度で高温アニールを行ったときの結果である。また、本実施形態の製造工程において、高温アニールを行わない場合、ゲート電極6の表面に酸化膜32を形成する工程後に行われる熱処理としては、層間絶縁膜10へのリフロー処理がある。このため、このリフロー処理時の温度を高温アニール処理を行わない場合の温度として示している。

#### 【0079】

図15(a)、(b)に示すように、高温アニールの温度が高くなるにつれ、トレンチ4の近傍に発生する応力及び結晶欠陥密度が減少することがわかる。

#### 【0080】

以上のことから、高温アニールを行わなかった場合、半導体基板3のトレンチ4の近傍にて応力及び結晶欠陥が、ゲート電極6の表面に酸化膜32を形成する工程後に発生し、その後においても大きく変化せず、応力及び結晶欠陥が発生した状態となっていると思われる。

#### 【0081】

したがって、本実施形態のようにゲート電極6の表面に酸化膜32を形成する工程後に高温アニールを行うことで、トレンチ4の近傍に発生した結晶欠陥や応力を減少させることができる。これにより、トレンチ4の近傍に発生した結晶欠陥や応力によって、ゲート絶縁膜5に対してダメージが与えられるのを抑制することができる。また、ゲート絶縁膜5に対しても、高温アニールによって、トレンチ4の近傍に発生した応力及び結晶欠陥から与えられていた歪み等のダメージを緩和することができるため、ゲート絶縁膜の信頼性を向上することができることと推察される。

#### 【0082】

このことから、高温アニールは、このように半導体基板3のトレンチ4の近傍に発生している応力及び結晶欠陥を除去し、また、ゲート絶縁膜5に対して与えられたダメージを緩和することができる温度にて行うことが良いと言える。一般

的に、ゲート絶縁膜 5 に含まれる成分と同じ成分である透明石英 ( $\text{SiO}_2$ ) ガラスにおいて、内部歪みを除去可能な温度である徐冷点は  $1150^\circ\text{C}$  であることが知られている。したがって、高温アニールは  $1150^\circ\text{C}$  以上の温度にて行うことで十分な効果が得られる。なお、高温アニールの温度の上限は、当然のことではあるが半導体装置を製造できる温度であり、すなわち、半導体基板の耐熱温度、例えば  $1200^\circ\text{C}$  以下である。

#### 【0083】

また、本実施形態では、高温アニール処理の後、図 11 (b)、(c) に示す工程にて、チャンネル領域となる P 型領域 7、ソース領域となる  $\text{N}^+$  型領域 8、ボディ P 型領域 9 を形成している。

#### 【0084】

これは、高温アニール処理の工程よりも前に P 型領域 7、 $\text{N}^+$  型領域 8、ボディ P 型領域 9 を形成した場合、所望の濃度や、基板表面からの深さが所望の深さとなるようにこれらを形成しても、高温アニールはこれらを形成するときに行う熱拡散処理よりも高温で行うため、P 型領域 7 等が再度拡散し、P 型領域 7 等の濃度及び深さが設定値より変動してしまうからである。したがって、本実施形態のように、高温アニール処理の後に、P 型領域 7 等を形成することで、P 型領域 7 等を所望の濃度及び基板表面からの深さとすることができる。

#### 【0085】

また、本実施形態では、図 10 (b) に示す工程にて、半導体基板 3 の表面上方からゲート電極 6 を見たとき、ゲート電極 6 がトレンチ 4 の開口端 4 a に位置するゲート絶縁膜 5 (シリコン酸化膜 5 f) を覆うひさし部 6 a を有するように断面形状を T 字形状としてゲート電極 6 を形成している。つまり、半導体基板 3 の表面と平行な方向において、ひさし部 6 a の先端 6 b がトレンチ 4 の開口端 4 a から外側に離れたところに位置するようにゲート電極 6 を形成している。

#### 【0086】

このようにゲート電極 6 がトレンチ 4 の開口端 4 a に位置するゲート絶縁膜 5 (シリコン酸化膜 5 f) の上部表面を覆っていることから、図 10 (c) に示す工程での酸化膜 22 のエッチングの際に、ゲート絶縁膜 5 (シリコン酸化膜 5 f

）の上部表面がエッチングされるのを防ぐことができる。これにより、酸化膜 2 のエッチングによりゲート絶縁膜 5 がダメージを受け、ゲート絶縁膜 5 の信頼性が低下するのを抑制することができる。

#### 【0087】

また、ゲート電極 6 においては、ひさし部 6 a の先端 6 b からトレンチ 4 の開口端 4 a までの長さ 6 c を、図 11 (c) に示すソース領域となる N+型領域 8 を形成する工程にて、トレンチ 4 の近傍での N+型領域 8 と P 型領域 7 との接合面 8 a が半導体基板の表面に対して略平行となるように N+型領域 8 を形成できる長さとしている。

#### 【0088】

このことから、図 11 (c) に示す工程にて N+型領域 8 を形成したとき、トレンチ 4 の近傍での N+型領域 8 と P 型領域 7 との接合面 8 a を半導体基板 3 の表面に対して略平行とすることができる。つまり、N+型領域 8 の底面 8 a が半導体基板 3 の表面と略平行な状態でトレンチ 4 と接する構造とすることができる。

#### 【0089】

これにより、トレンチ 4 の近傍での N+型領域 8 と P 型領域 7 との接合面 8 a を半導体基板 3 の表面に対して略平行とならず、しきい値電圧が所望の設定値から外れるのを抑制することができる。

#### 【0090】

なお、本発明者の実験結果より、図 10 (c) に示す工程にてトレンチマスクを除去するとき、ひさし部 6 a の先端 6 b からトレンチ 4 の開口端 4 a までの長さ 6 c が例えば 0.05 ~ 0.1  $\mu\text{m}$  となっていれば良いことがわかっている。ただし、ここで言う長さ 6 c の寸法は、図 10 (b) に示す工程にてゲート電極 6 を形成した直後のゲート電極 6 の寸法であり、完成時においてもゲート電極 6 がこのような寸法でなくても良い。これは、イオン注入前後の熱処理によっては、ゲート電極 6 が酸化され、ゲート電極 6 の寸法が変動する場合があるからである。

#### 【0091】

(他の実施形態)

第1実施形態では、ゲート絶縁膜5はONO膜5dとシリコン酸化膜5e、5fにより構成されていたが、ゲート絶縁膜5の全体をONO膜にて構成したり、単に酸化膜のみ等のONO膜以外の膜により構成することもできる。

【0092】

また、第1実施形態では、ゲート電極6の断面形状がT字形状である場合を説明したが、必ずしもT字形状とする必要はなく、断面形状をT字形状に対してひさし部6aがない、いわゆるI字形状とすることもできる。この場合でも、ゲート電極6の形成後において、高温アニールを行うことで、ゲート絶縁膜5の信頼性を向上させることができる。

【0093】

また、第1実施形態では、高温アニールを行った後、チャネル領域となるP型領域7を形成するための熱処理を行っていたが、P型領域7の基板表面からの深さが第1実施形態よりも大きな半導体装置を形成する場合は、高温アニールと同時にいたり、トレンチ4の形成前にあらかじめP型領域7を形成することもできる。

【0094】

これは、第1実施形態では、P型領域7の基板表面からの深さが $1.5 \sim 2 \mu\text{m}$ となるように $1050 \sim 1100^\circ\text{C}$ と熱処理条件にて熱拡散処理を行っていたが、P型領域7の基板表面からの深さをこれよりも大きくする場合は、熱拡散処理は $1100^\circ\text{C}$ よりも高い温度にて行うからである。

【0095】

また、第1実施形態では、ソース領域となるN<sup>+</sup>型領域8を形成するための熱拡散処理時の温度は、高温アニール処理時の温度より低い場合を説明したが、高温アニール処理時のような $1170^\circ\text{C}$ といった高温にて行うこともできる。言い換えると、N<sup>+</sup>型領域8を形成するための熱拡散処理を $1170^\circ\text{C}$ 等の高温で行う場合は、高温アニール処理をこの熱拡散処理時の温度と同じ温度にて行うことができる。

【0096】

上記した実施形態では、トレンチゲートの平面構造において、1つのメッシュが六角形状である場合を例として説明したが、四角形等の他の多角形状のメッシュ形状としたり、トレンチゲートがストライプ状に配置された構造とすることもできる。

#### 【0097】

また、上記した実施形態では、トレンチゲートを有するNチャネル型MOSFETを例として説明してきたが、導電型をそれぞれ反対導電型としたPチャネル型MOSFETや、基板1とドリフト層2とを相互に異なる導電型としたIGBT等のトレンチゲートを有するMOS構造を備えるパワー素子においても、本発明を適用することができる。さらには、基板表層に形成されたトレンチ内に層間絶縁膜を介して上部電極が形成されたトレンチキャパシタ、その他トレンチ内に絶縁膜を介して導電性膜が形成されたトレンチゲート構造の半導体装置においても、本発明を適用することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1実施形態における半導体装置の平面図である。

##### 【図2】

図1中のA-A'線方向断面図である。

##### 【図3】

図1中のB-B'線方向断面図である。

##### 【図4】

図1中のC-C'線方向断面図である。

##### 【図5】

図1中のD-D'線方向断面図である。

##### 【図6】

図1中のE-E'線方向断面図である。

##### 【図7】

第1実施形態における半導体装置の製造工程を説明するための断面図である。

なお、この図は図2中の右（もしくは左）側半分に相当する図である。

**【図 8】**

図 7 に続く半導体装置の製造工程を説明するための断面図である。

**【図 9】**

図 8 に続く半導体装置の製造工程を説明するための断面図である。

**【図 10】**

図 9 に続く半導体装置の製造工程を説明するための断面図である。

**【図 11】**

図 10 に続く半導体装置の製造工程を説明するための断面図である。

**【図 12】**

各温度条件にて高温アニールを行った場合、もしくは高温アニールを行わなかった場合のゲート絶縁膜の信頼性試験結果を示す図である。

**【図 13】**

高温アニールを行う時期を変更した場合、もしくは高温アニールを行わなかった場合のゲート絶縁膜の信頼性試験結果を示す図である。

**【図 14】**

第 1 実施形態の製造工程と半導体装置のトレンチ近傍に発生する応力及び結晶欠陥との関係を示す図である。

**【図 15】**

高温アニール温度と半導体装置のトレンチ近傍に発生する応力及び結晶欠陥との関係を示す図である。

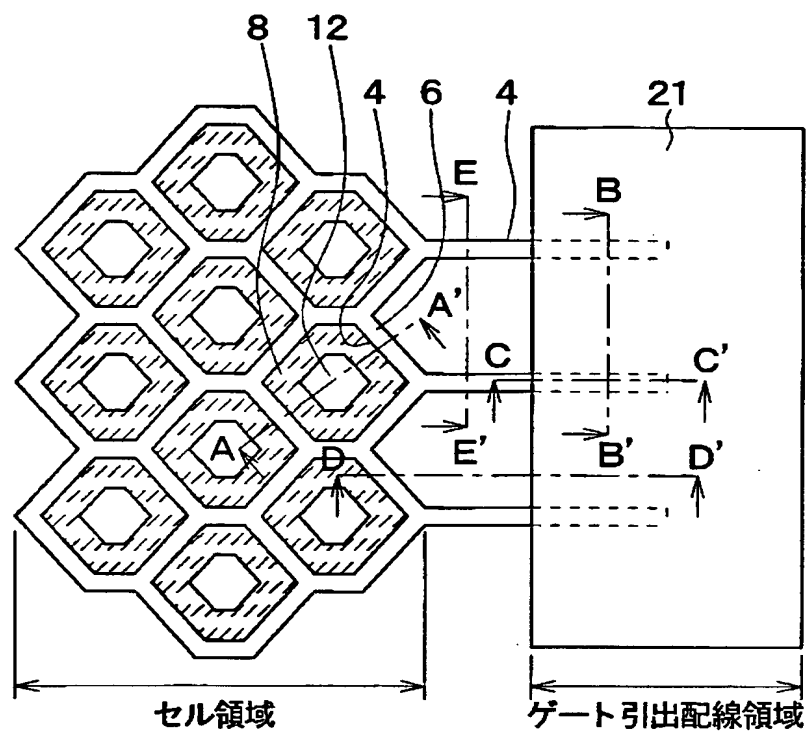
**【符号の説明】**

1…N<sup>+</sup>型基板、2…N<sup>-</sup>型ドリフト層、3…半導体基板、4…トレンチ、  
5…ゲート絶縁膜、5 a…シリコン酸化膜（ボトム酸化膜）、  
5 b…シリコン窒化膜 5 b、5 c…シリコン酸化膜（トップ酸化膜）、  
5 d…ONO 膜、5 e、5 f…シリコン酸化膜、6…ゲート電極、  
6 a…ゲート電極のひさし部、7…P 型領域、8…N<sup>+</sup>型領域、  
9…ボディ P 型領域、10…層間絶縁膜、11、14、23…金属膜、  
12…P<sup>+</sup>型領域、13、26、27…コンタクトホール、  
21…ゲート引き出し配線、22…酸化膜（マスク材）、

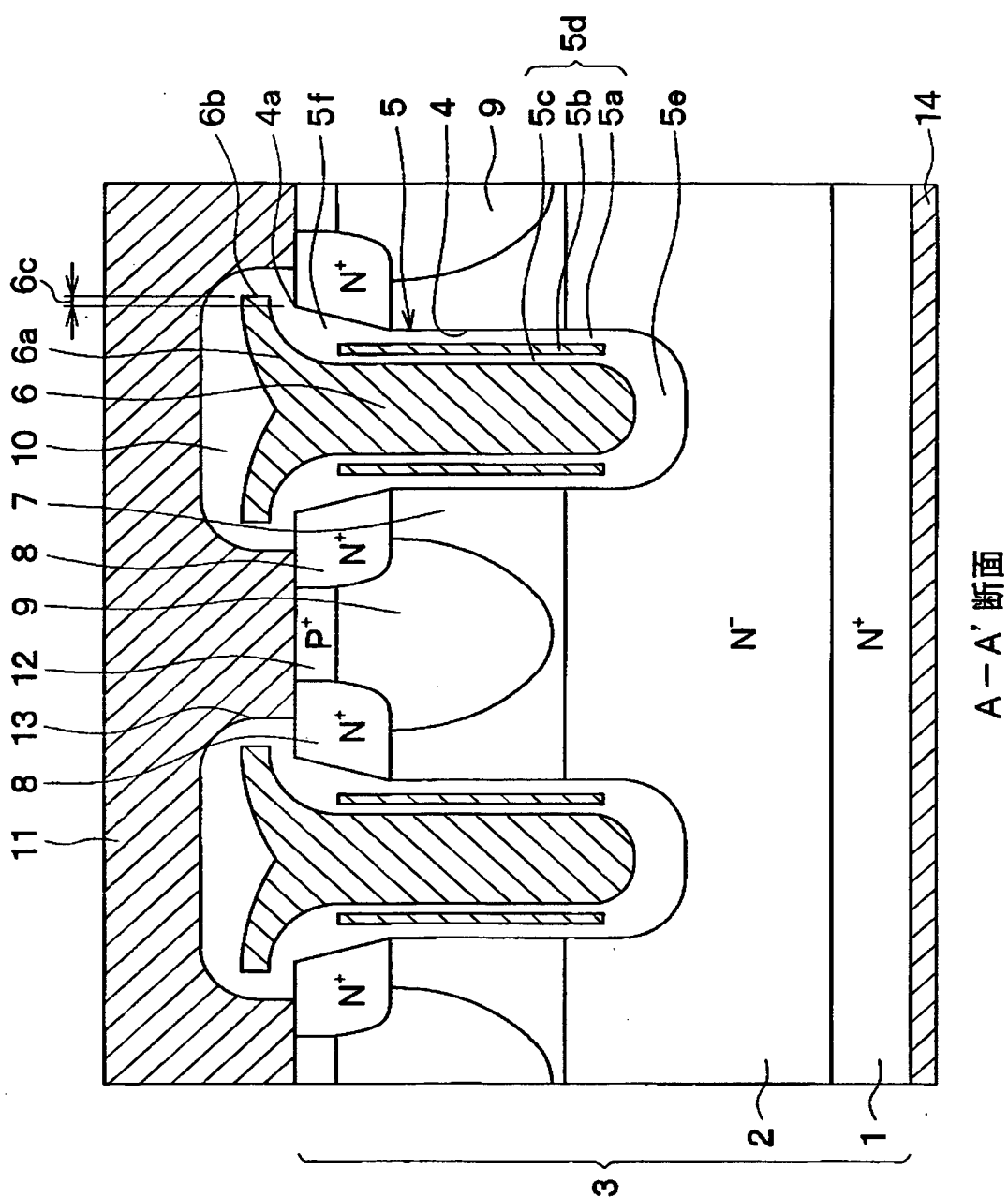
2 4 … P 型ウェル層、2 5 …酸化膜（フィールド絶縁膜）。

【書類名】 図面

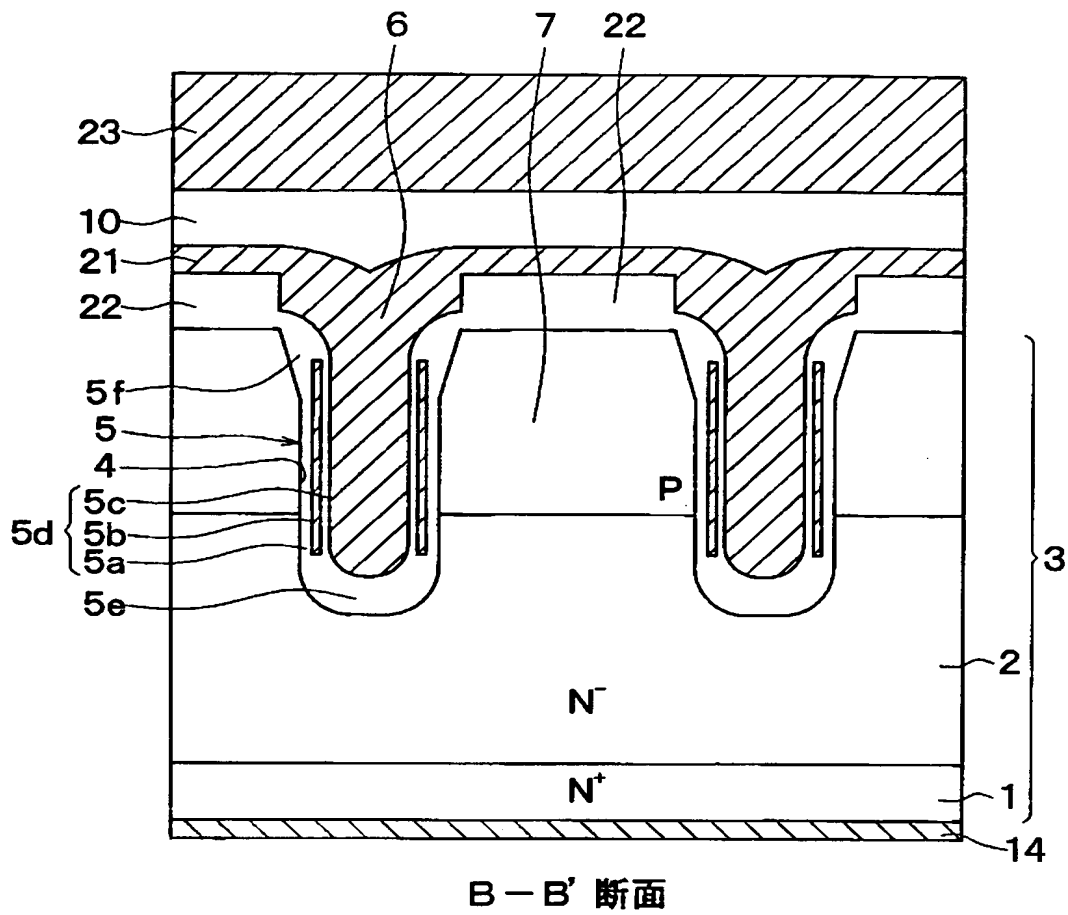
【図 1】



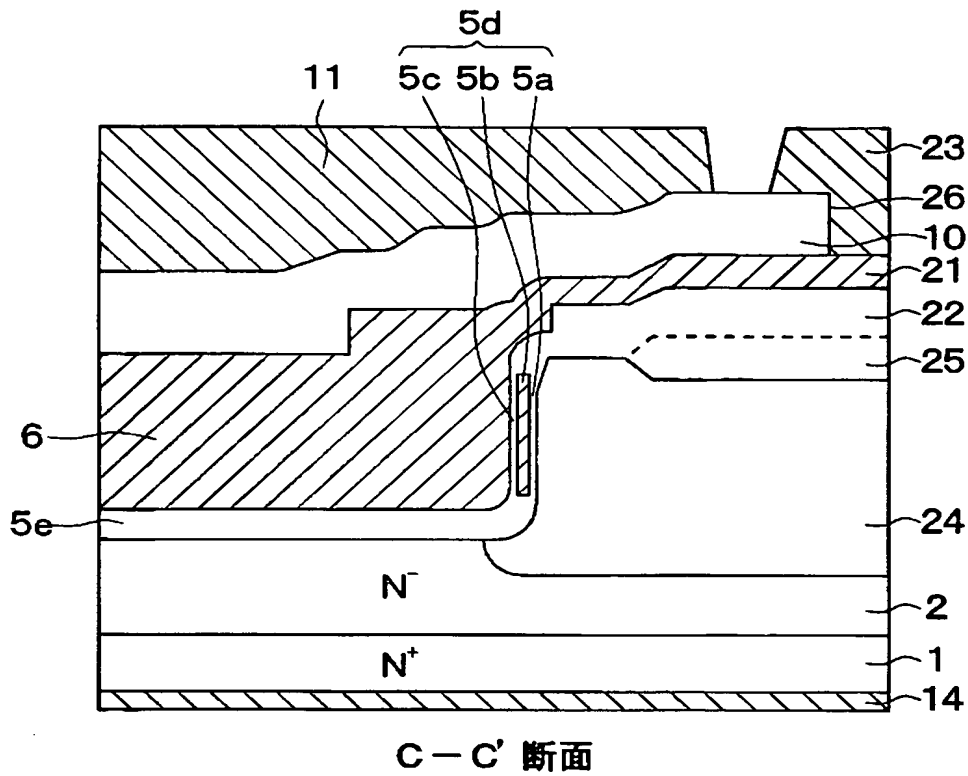
【図 2】



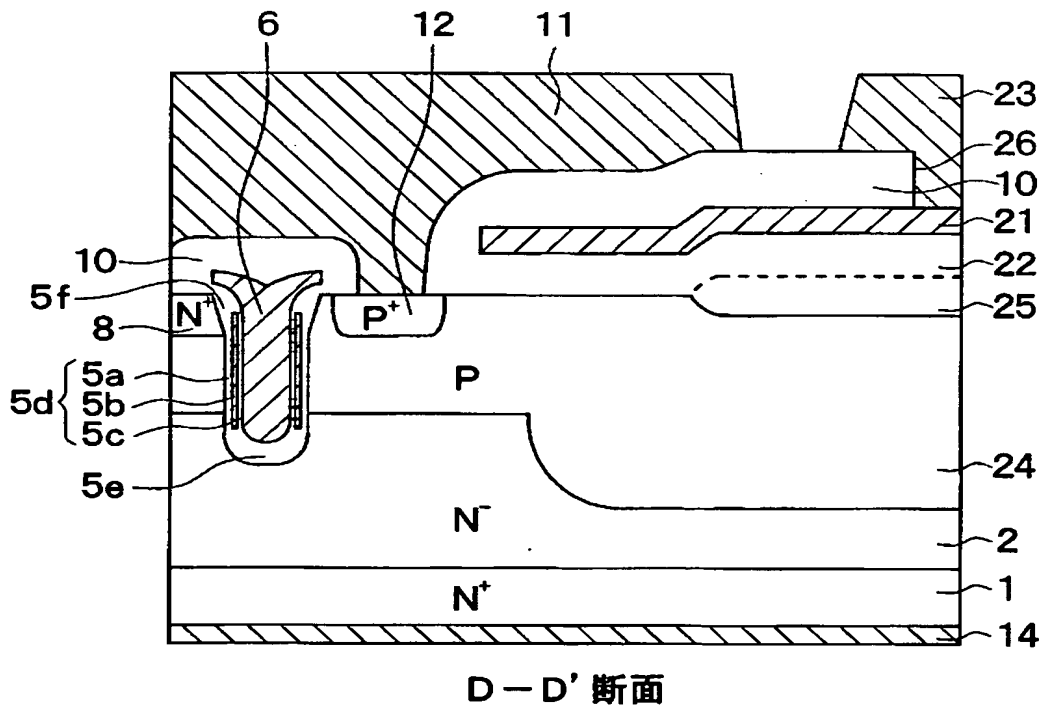
【図 3】



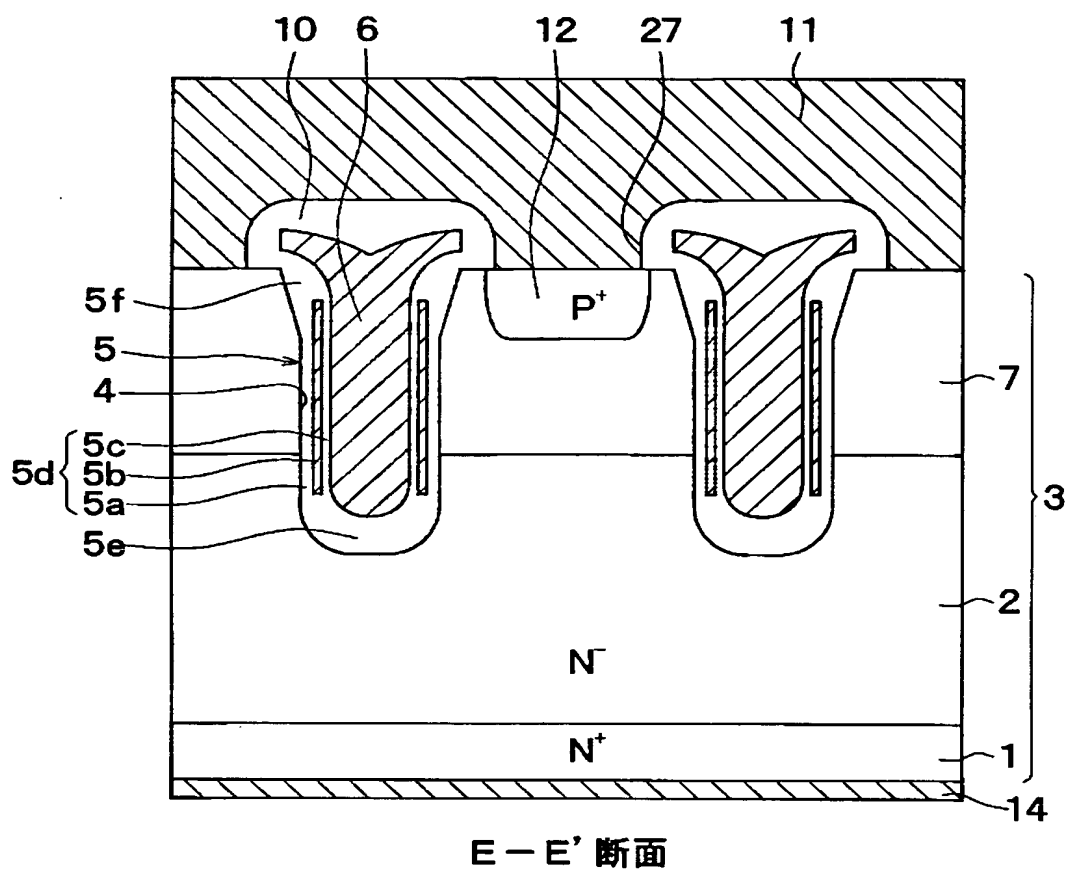
【図 4】



【図 5】

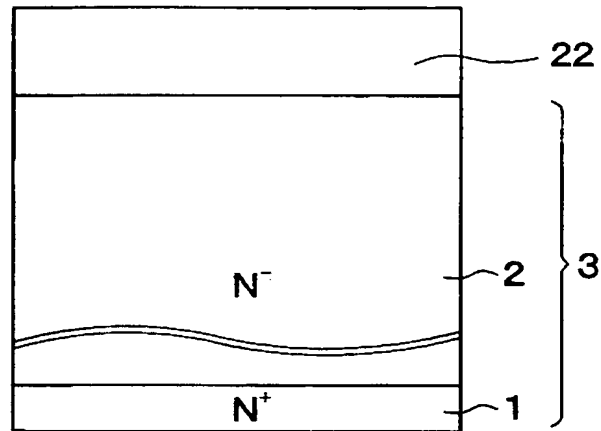


【図 6】

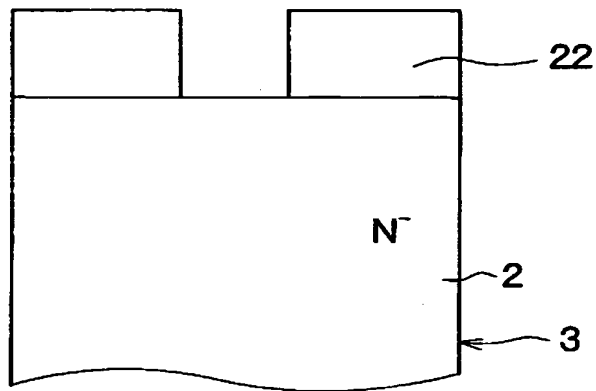


【図 7】

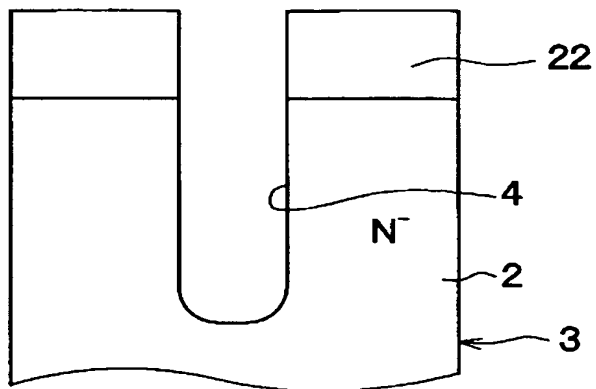
(a)



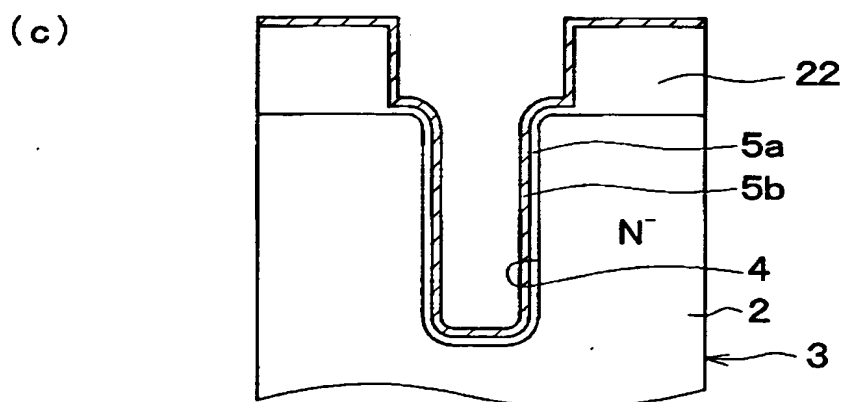
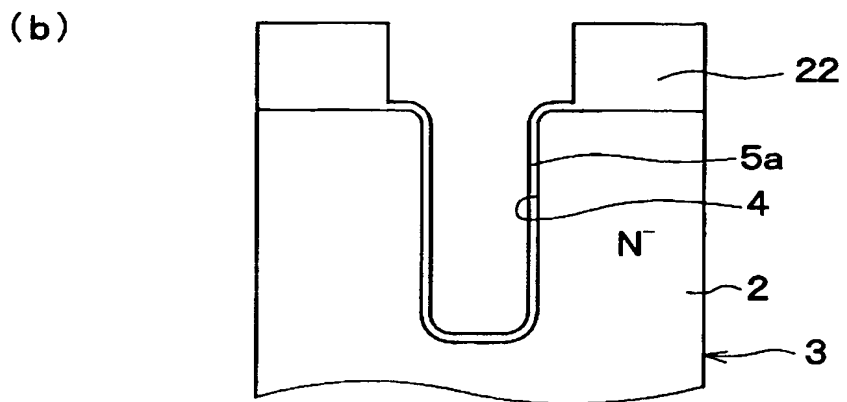
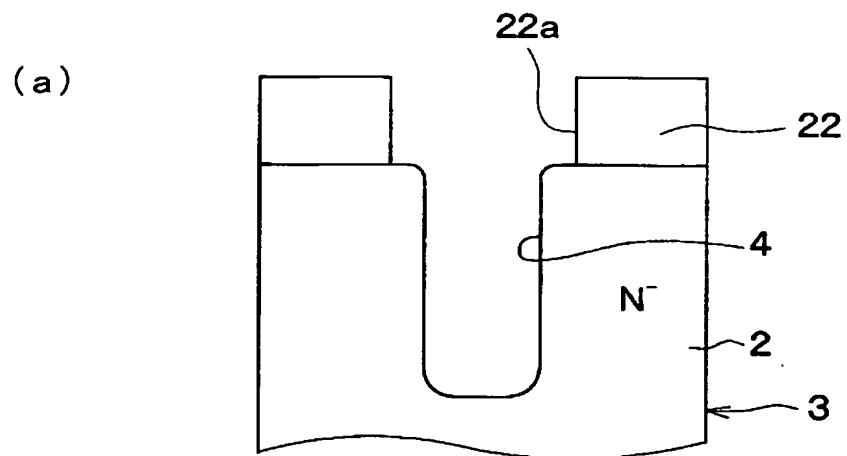
(b)



(c)

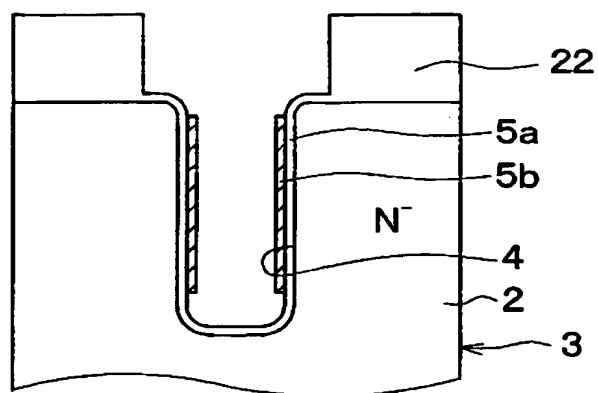


【図 8】

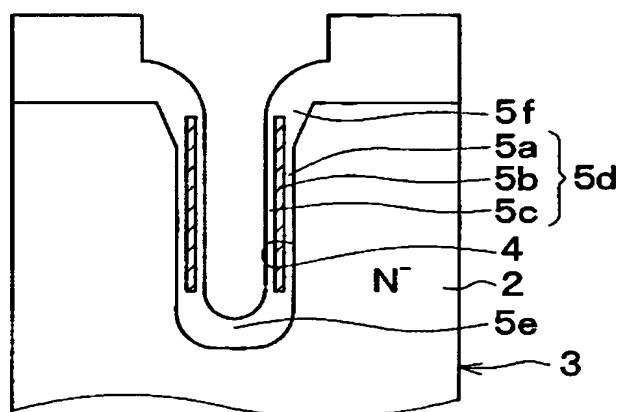


【図 9】

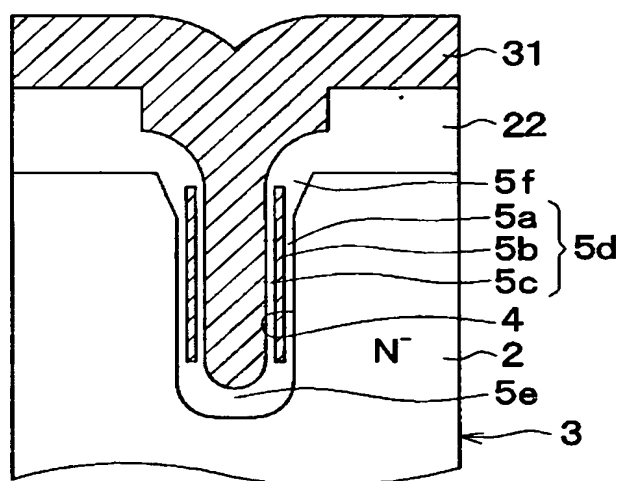
(a)



(b)

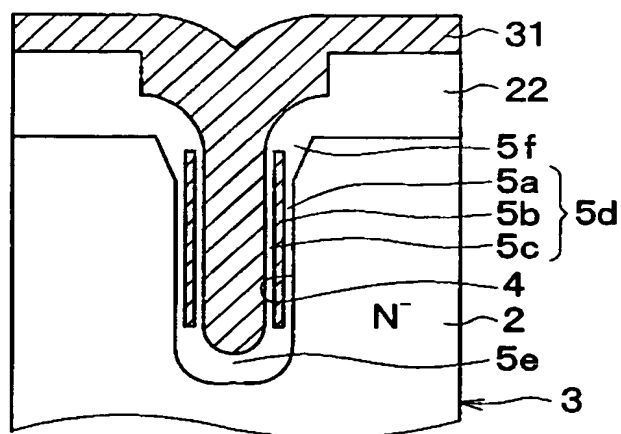


(c)

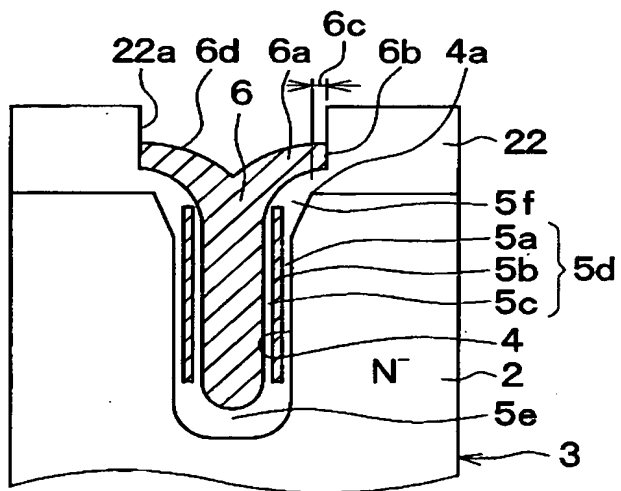


【図 10】

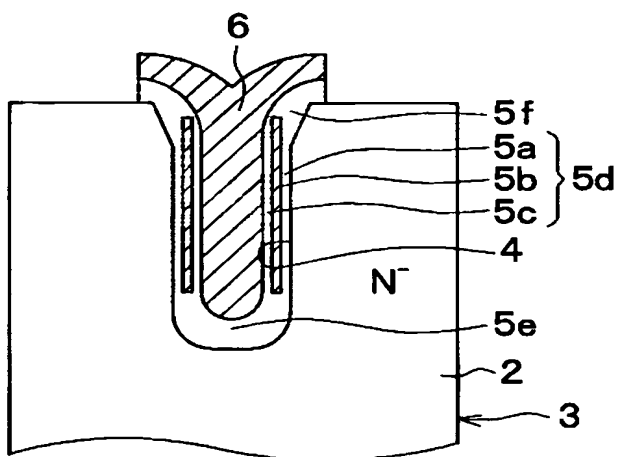
(a)



(b)

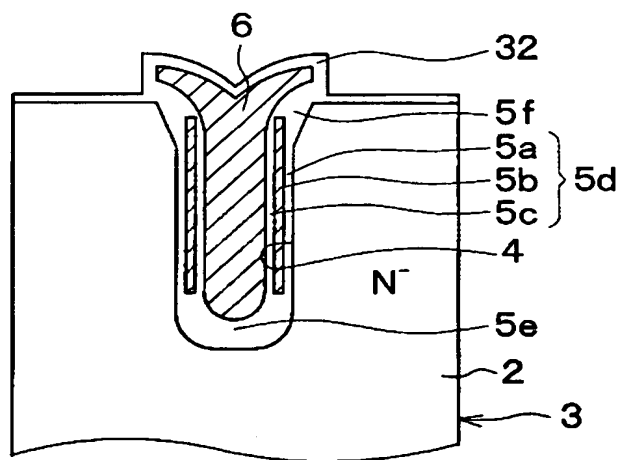


(c)

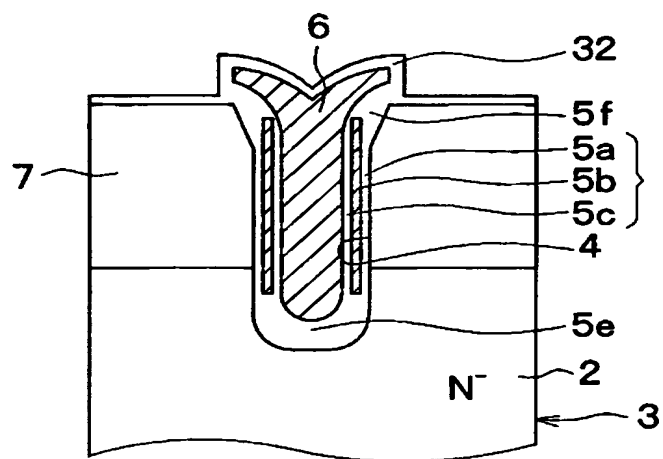


【図 11】

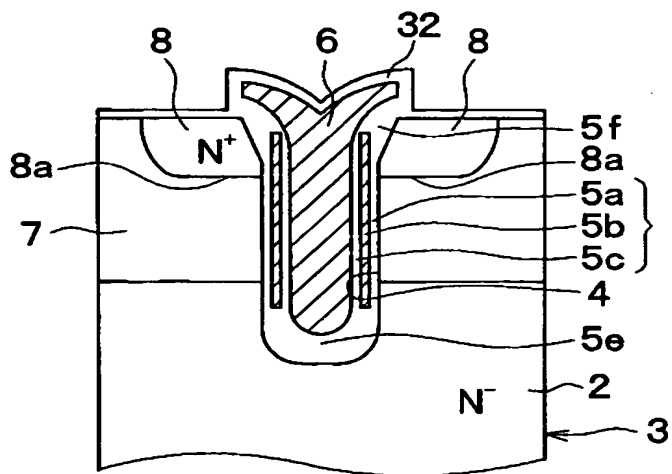
(a)



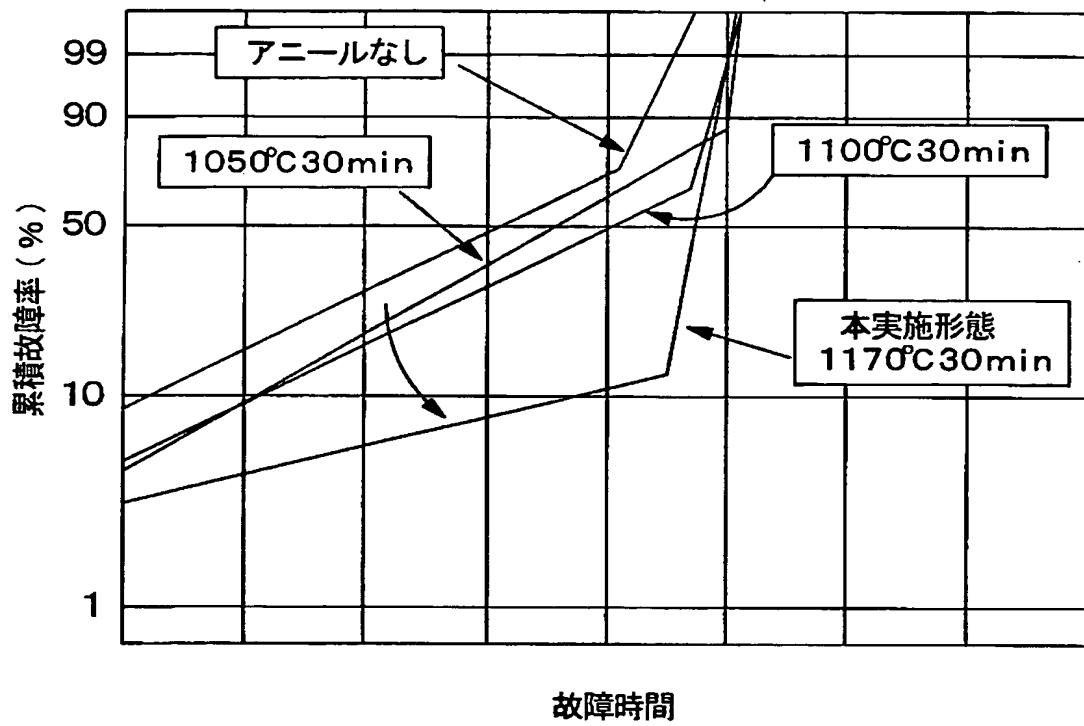
(b)



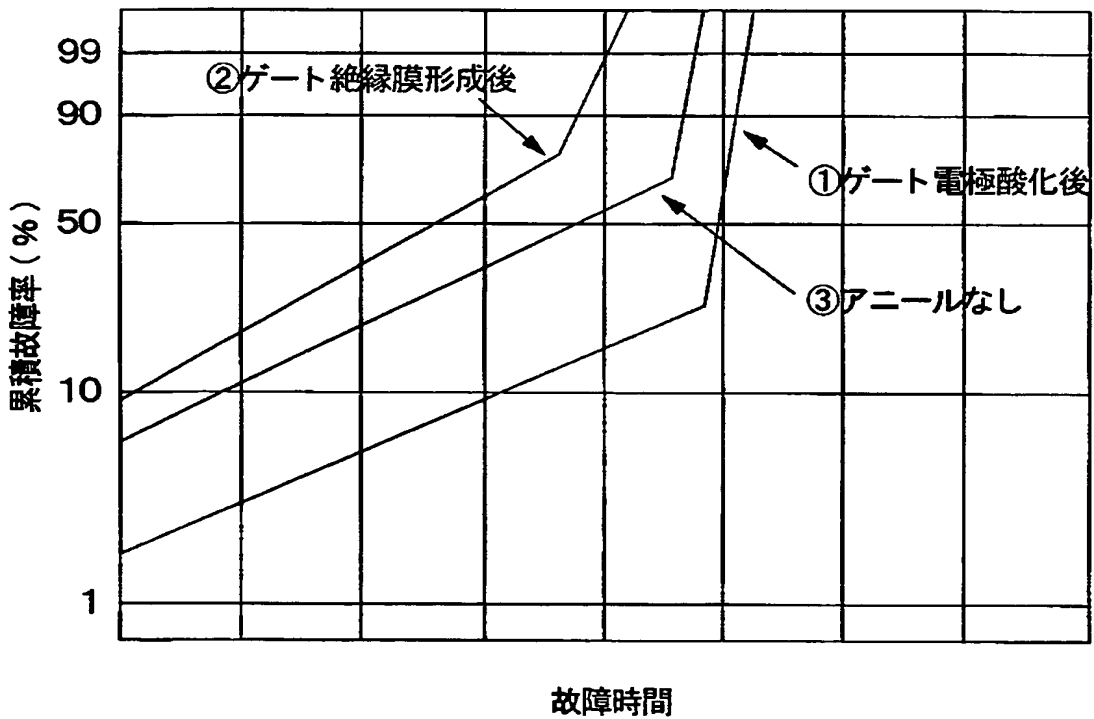
(c)



【図 12】

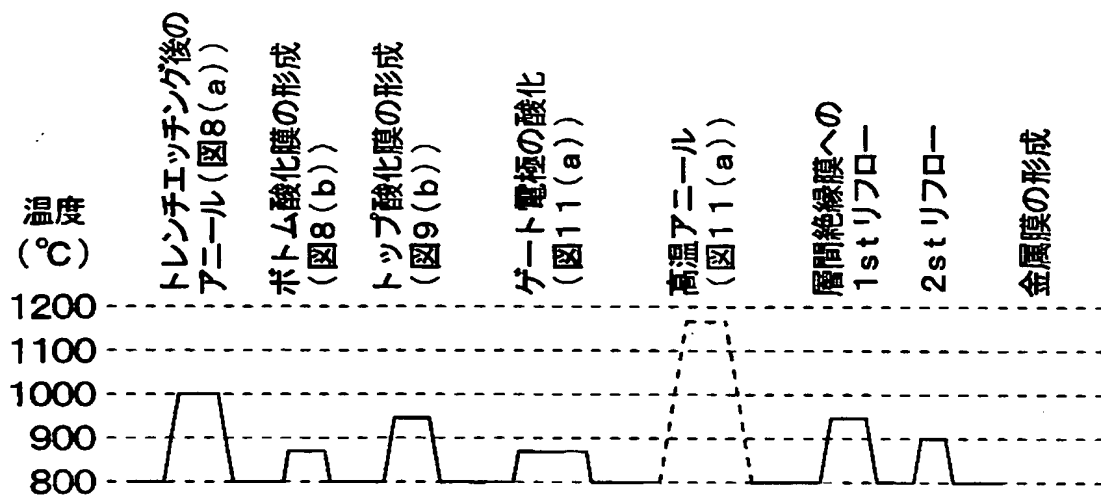


【図 13】

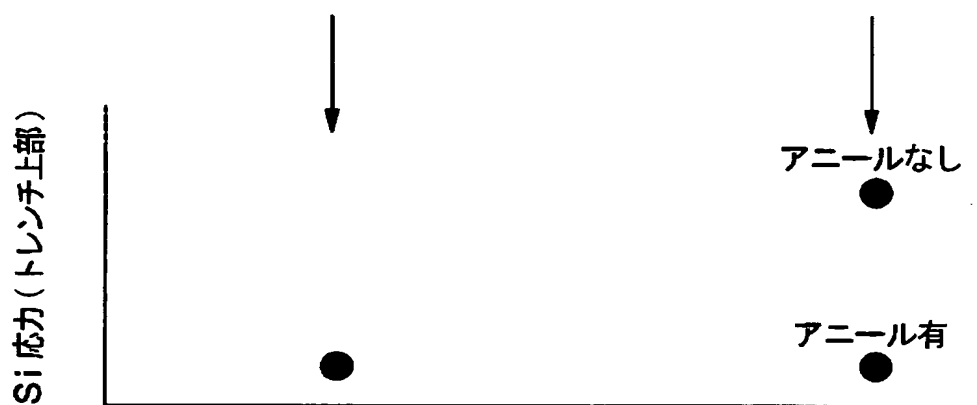


【図 14】

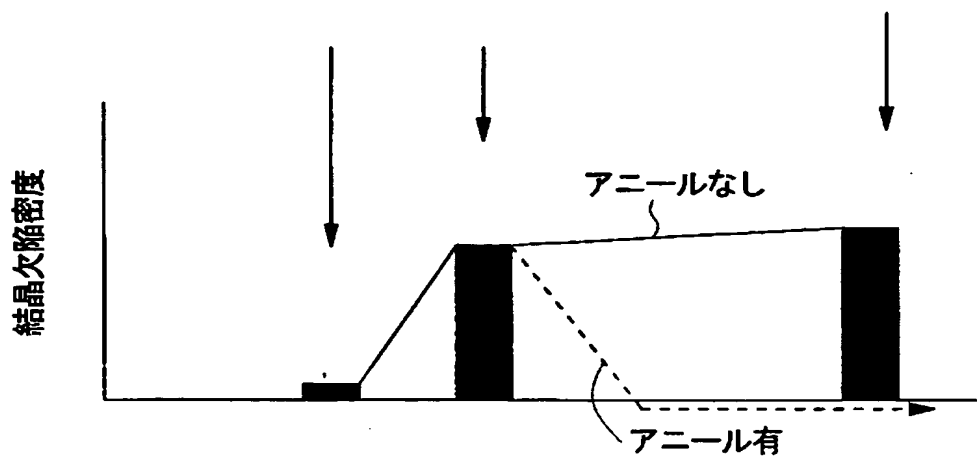
(a)



(b)

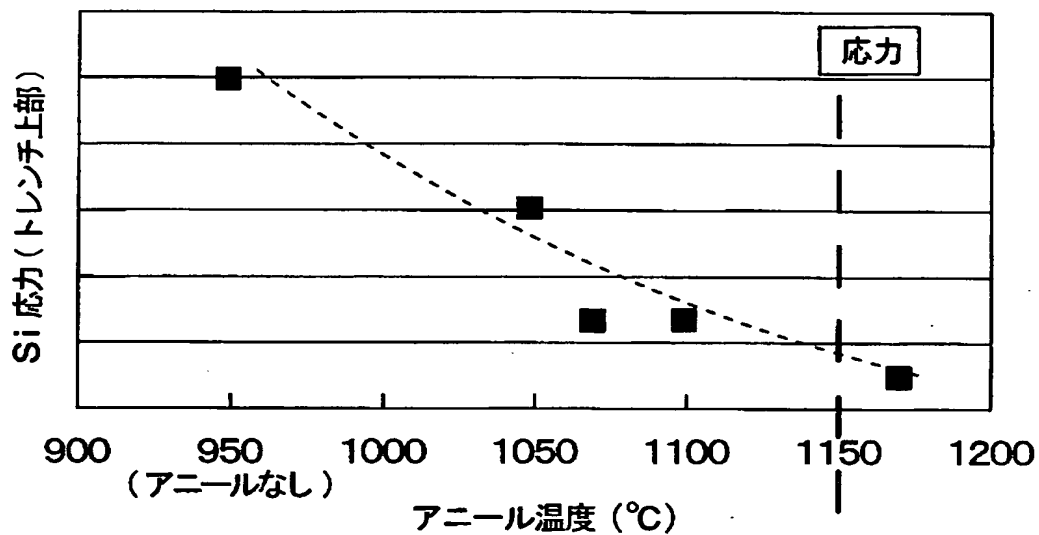


(c)

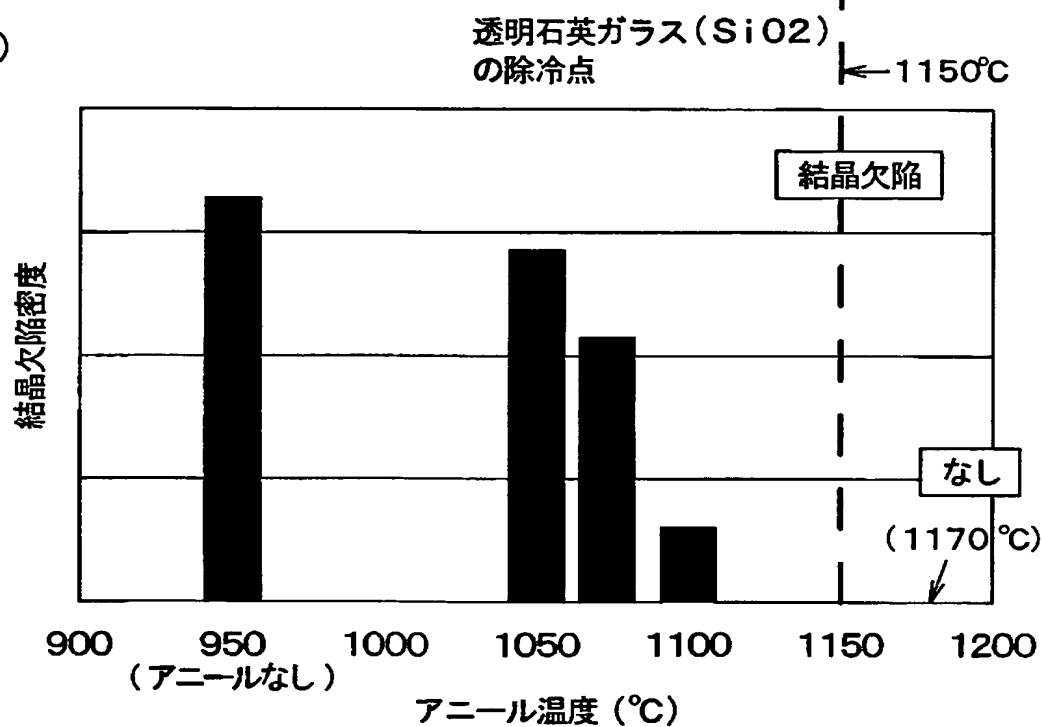


【図 15】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 トレンチの内壁に形成された絶縁膜の信頼性が従来よりも高い半導体装置及びその製造方法を提供する。

【解決手段】 トレンチゲート電極を有するパワーMOSFETの製造方法の場合、N+型基板1の上にN-型ドリフト層2が形成された半導体基板3にトレンチ4を形成する。その後、トレンチ4の内壁上にゲート絶縁膜5を形成し、ゲート絶縁膜5を介して、トレンチ4の内部にゲート電極6を形成する。次にゲート電極6及び半導体基板3の表面に酸化膜を形成する。続いて、ゲート絶縁膜5の信頼性を向上させるために、不活性雰囲気中で例えば1170℃にて高温アニール処理を行う。その後、半導体基板3の表層にチャネルとなるP型領域7、ソースとなるN+型領域8、ボディP型領域9を形成し、さらに層間絶縁膜10、ソース電極となる金属膜11等を形成する。

【選択図】 図2

特願 2 0 0 3 - 0 5 5 7 5 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 6 0 ]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー